

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323576
 (43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H01L 21/82
 B23K 26/00
 H01L 27/01

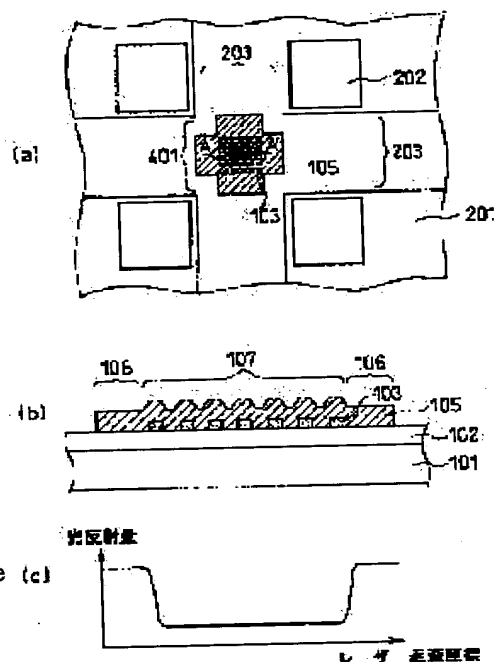
(21)Application number : 11-130049
 (22)Date of filing : 11.05.1999

(71)Applicant : SEIKO INSTRUMENTS INC
 (72)Inventor : TAKASU HIROAKI

(54) MANUFACTURING SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To exactly position and allow the trimming by forming a low optical reflectivity region from a high optical reflectivity film which is composed of the same film as that of laser tripping fuse elements and formed into a lattice or stripe or dot pattern for irregularly reflecting lights.

SOLUTION: The surface of an Al film 105 is made rough by the influence of a polycrystalline Si dot pattern, a light applied to this part irregularly reflects, and this region becomes a low optical reflectivity region 107. The surface of the Al film 105 on a region where no polycrystalline Si dot pattern is formed is flat and becomes a high optical reflectivity region 106. The boundary between the high and low reflectivity regions 106, 107 is determined by a polycrystalline Si dot pattern made from a polycrystalline Si film 103, the same film material as that of fuse elements. Thus a fuse element region can be formed with a small area.

**LEGAL STATUS**

[Date of request for examination]

10.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

 (11) 特許出願公開番号
 特開2000-323576
 (P2000-323576A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 4 E 0 6 8
B 2 3 K 26/00		B 2 3 K 26/00	C 5 F 0 6 4
H 0 1 L 27/01	3 2 1	H 0 1 L 27/01	3 2 1

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平11-130049

(22) 出願日 平成11年5月11日 (1999. 5. 11)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 鷹巣 博昭

千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内

(74) 代理人 100096286

弁理士 林 敬之助

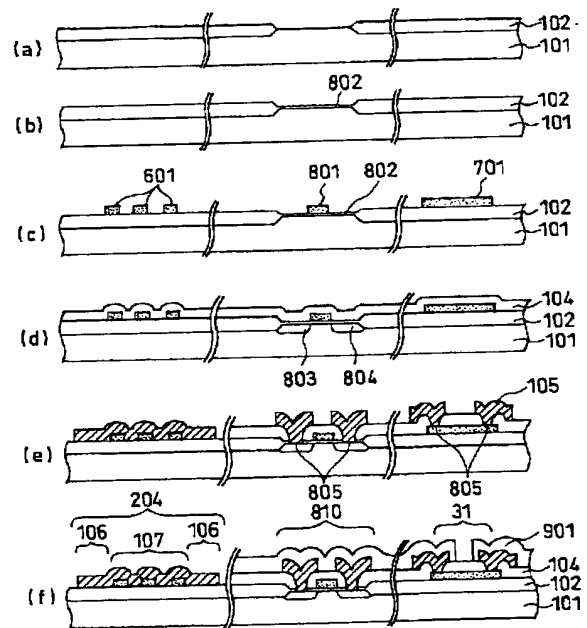
Fターム (参考) 4E068 AA04 AC00 CF03 DA11
5F064 BB21 CC09 FF04 FF27 FF30
FF42 GG01

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 レーザトリミングをする半導体装置において、ヒューズ素子のトリミング (切断) を高精度で行うこと及びスクライブライン上に占めるレーザトリミング位置決め用パターンの面積を小さくする。

【解決手段】 レーザトリミング位置決め用パターン内の多結晶シリコンドットは、レーザトリミング用ヒューズ素子と同じ薄膜で構成し、一回のパタニング工程で同時に形成する。このため、レーザトリミング位置決め用パターンの多結晶シリコンドットとヒューズ素子とが互いにセルフアラインの関係となり、レーザービームでヒューズをカットする際に位置ずれを起さない。また、レーザトリミング位置決め用パターンをスクライブラインの交点に配置し、いわゆるシータマークの機能と、トリミングマークの機能とを兼用できる連続した構造として、スクライブライン上に占める面積を小さくした。



【特許請求の範囲】

【請求項 1】 シリコン基板上に、第一の絶縁膜を選択的に形成する工程と、MOS型トランジスタ領域にゲート酸化膜を形成する工程と、多結晶シリコン薄膜を形成して、後にレーザトリミング位置決め用パターンになる部分には、前記多結晶シリコン薄膜をドット状に加工した多結晶シリコンドットを、後にヒューズ素子となる部分には多結晶シリコンヒューズを、さらに前記MOS型トランジスタ領域には前記多結晶シリコン薄膜で作られたゲート電極を、一回のパタニング工程によって同時に形成する工程と、前記 MOS型トランジスタ領域にイオン注入法などでソース領域及びドレイン領域を形成した後、NSG膜やPSG膜またはBPSG膜などからなる第二の絶縁膜を形成する工程と、前記レーザトリミング位置決め用パターンでは、前記第二の絶縁膜を除去し、前記MOS型トランジスタ領域及び前記ヒューズ素子部分では、コンタクト領域のみを開口する工程と、アルミニウム膜を形成した後、前記 MOS型トランジスタ領域及び前記ヒューズ素子部分では、配線用などの所望の部分を残してエッチング除去し、。一方、前記レーザトリミング位置決め用パターン部分は前記アルミニウム膜を残すようにする工程と、シリコン窒化膜などの保護膜を全面に形成した後、前記MOS型トランジスタ領域では保護膜は残すようにし、前記ヒューズ素子部分では、レーザービームを照射する領域のみを開口するようにし、また、前記レーザトリミング位置決め用パターン部分では前記保護膜を除去するように、パタニングする工程とからなることを特徴とする半導体装置の製造方法。

【請求項 2】 前記レーザトリミング位置決め用パターン部分には、前記多結晶シリコン薄膜を複数のストライプ状に加工した多結晶シリコンストライプを形成する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記レーザトリミング位置決め用パターン部分には、前記多結晶シリコン薄膜を格子状に加工した多結晶シリコン格子を形成する請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記レーザトリミング位置決め用パターンは、高光反射率領域と、高光反射率領域に囲まれた低光反射率領域とから成る請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記レーザトリミング位置決め用パターンは、前記低光反射率領域と、前記低光反射率領域に囲まれた前記高光反射率領域とから成る請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記多結晶シリコン薄膜に代えて、シリサイド薄膜により構成されている請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記アルミニウム膜に代えて、高融点金属膜により構成されている請求項 1 記載の半導体装置の

製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、レーザービーム照射により、半導体チップ表面に形成されているヒューズ素子を高精度で切断するための位置決め用パターンを設けた半導体装置の製造法に関する。

【0002】

【従来の技術】アナログ半導体集積回路の装置において、アナログ特性の調整のためのレーザトリミング方法が知られている。例えば、特開平5-13670号公報に記載されている。半導体ウエハに集積回路を2次元的にパターニングした後に、ウエハ状態で各々の集積回路の電気特性を測定する。次に、アナログ特性の調整のために、配線の一部に設けられたヒューズ素子を選択して、レーザービーム照射により切断する。このようなレーザトリミング方法により、ヒューズ素子の切断選択により、集積回路のアナログ特性を希望の特性に合わせ込むことができる。所定のヒューズ素子にレーザービームを照射するために、半導体ウエハ表面に位置決め用パターンが設けられている。図3(a)は、従来のレーザトリミング位置決めパターンの平面図、図3(b)は、従来のレーザトリミング位置決めパターンの断面図、図3

(c)は、そのレーザトリミング位置決め用パターンを光ビーム照射でC-C'線方向に沿って走査した場合の光反射量変化を示す図である。従来のレーザトリミング位置決めパターンは、図3(a)に示すように、スクライプライン203上に設けられた、半導体ウエハの回転方向に対する比較的荒い位置合せを行なうためのいわゆるシートマーク301と、繰り返して配置された半導体集積回路201一つ一つに対して正確な位置合せを行なうためのX方向トリミングマーク302及びY方向トリミングマーク303とからなる。シートマーク301の形状は画像認識を自動で行なうことが出来るように、半導体集積回路201内のパッド領域202等と異なる特徴的な形をであることが望まれる。

【0003】図3(a)の例ではカギ型の形状を示したが、他の形状でも特異的な形であって認識が容易であれば良い。次に図3(b)に示すように、従来の位置決めパターンは、シリコン基板101上に設けられたシリコン酸化膜からなる第一の絶縁膜102上に、四角形のアルミニウム膜105が配置されている。図3(a)のC-C'線方向に沿って光ビームを走査すると、アルミニウム膜105の反射率が高いために、図3(c)のような光反射パターンが得られる。位置決めパターンと集積回路の多結晶シリコン膜から成るヒューズ素子との間の位置関係は設計時に決められている。従って、位置決めパターンを光ビーム照射により検出することにより、所望のヒューズ素子の座標を計算し、その場所にレーザー照射することにより選択的にヒューズ素子をトリミング

することができる。

【0004】

【発明が解決しようとする課題】しかし、従来のレーザトリミングにおいては、ヒューズ素子と位置決めパターンとが異なる薄膜で形成されていたために、正確な位置決めができなかった。即ち、アルミニウムのパターンで位置決め用パターンを検出して、ヒューズ素子である多結晶シリコン膜をレーザトリミングした場合、図4のように、ヒューズ素子31に対してレーザ照射領域32が位置ずれする。レーザ照射領域32はエネルギー分布がガウシアン分布になっているために、レーザ照射端部のエネルギー強度は低い。従って、ウエハプロセスにおいて、多結晶シリコン膜のパターニングとアルミニウム膜のパターニングとの間に大きな合わせずれがあると、安定してヒューズ素子が切断できなくなってしまうという問題点があった。なお、33は下地のコゲ、34はヒューズカット残りになる部分である。

【0005】そこで、この発明の目的は、半導体チップのヒューズ素子に対して精度良く位置決めしてトリミングすることができる半導体装置を通常の半導体集積回路製造工程を増加することなく提供することにある。さらに、本発明の目的は、トリミングの位置決め精度を高くすることにより、ヒューズ素子領域の小型化及びコストダウンを可能にすることである。

【0006】

【課題を解決するための手段】上記問題点を解決するために、本発明は以下の手段をとった。

(1) 半導体ウエハの表面にスクライブラインを介して2次元的にマトリックス状に繰り返し配置された半導体集積回路と、半導体集積回路に設けられたレーザトリミング用ヒューズ素子と、半導体ウエハの表面に設けられたレーザトリミング位置決め用パターンとから成る半導体装置において、レーザトリミング位置決め用パターンは高光反射率領域と低光反射率領域とから成り、高光反射率領域は平坦な下地の上に形成された高光反射率膜により形成され、低光反射率領域はレーザトリミング用ヒューズ素子と同じ薄膜で構成されている光乱反射するための格子あるいはストライプあるいはドット状のパターン上に形成された高光反射率膜により形成されてなる半導体装置とした。

【0007】(2)レーザトリミング位置決め用パターンは、高光反射率領域と、高光反射率領域に囲まれた低光反射率領域とから成る(1)に記載した半導体装置とした。

(3)レーザトリミング位置決め用パターンは、低光反射率領域と、低光反射率領域に囲まれた高光反射率領域とから成る(1)に記載した半導体装置とした。

(4)レーザトリミング用ヒューズ素子が多結晶シリコン薄膜で構成されている(1)に記載した半導体装置とした。

【0008】(5)高光反射率膜が、アルミニウムにより構成されている(1)に記載した半導体装置とした。以上(1)から(5)に述べた半導体装置を、通常の半導体集積回路製造工程を増加することなく得る事のできる製造方法を提供するようにした。

【0009】

【発明の実施の形態】通常の半導体集積回路製造工程を増加することなく、以下のような特徴をもつ半導体装置を製造することができる。レーザトリミング位置決め用パターンは高光反射率領域と低光反射率領域とから成り、高光反射率領域は平坦な下地の上に形成された高光反射率膜により形成され、低光反射率領域はレーザトリミング用ヒューズ素子と同じ薄膜で構成されている光乱反射するための格子あるいはストライプあるいはドット状のパターン上に形成された高光反射率膜により形成される。従って、高光反射率領域と低光反射率領域との境界、すなわち光反射率が急峻に変化する場所はレーザトリミング用ヒューズ素子と同じ薄膜により形成されたパターンによって規定されることとなる。これにより、ウエハプロセスでの合わせずれに全く影響されずに正確にレーザトリミングできる。

【0010】以下に、この発明の実施例を図面に基づいて説明する。なお、以下の説明は、特に断らない限りレーザトリミング用のヒューズ素子は多結晶シリコン薄膜により形成されているものとする。図1(a)から

(f)は、本発明の半導体装置の製造方法を示す模式的断面図である。まず、図1(a)に示すように、シリコン基板101上に、一般にフィールド酸化膜と呼ばれる第1の絶縁膜102を選択的に形成する。簡単のため図示しないが、必要に応じて第1の絶縁膜102形成前に、ウェル領域を形成したり、チャンネルストップ領域を形成しておいてかまわない。

【0011】次に図1(b)に示すようにMOS型トランジスタ領域810にゲート酸化膜802を形成する。ゲート酸化膜802形成前あるいは形成後に、必要に応じて、しきい値制御用の不純物導入をイオン注入法で行なった後、多結晶シリコン薄膜103を形成し、所望の不純物を導入した後、図1(c)に示すように必要な部分を残してエッチング除去する。この時、後にレーザトリミング位置決め用パターン204になる部分には、多結晶シリコン薄膜103をドット状に加工した多結晶シリコンドット601を形成し、後にヒューズ素子31となる部分には多結晶シリコンヒューズ701を形成し、さらにMOS型トランジスタ領域810には多結晶シリコン薄膜103で作られたゲート電極801を形成する。

【0012】このように、同一の多結晶シリコン薄膜103で、多結晶シリコンドット601、多結晶シリコンヒューズ701およびMOS型トランジスタのゲート電極801を同時に形成する事が本発明の特徴の一つであ

る。特に、レーザトリミング位置決め用パターン 204 内の多結晶シリコンドット 601 とヒューズ素子 31 となる部分の多結晶シリコンヒューズ 701 とが、同一のフォトリソ工程で形成されるので互いにセルフアライン（自己整合）の位置関係となる。従って、本発明のレーザトリミング位置決め用パターン 204 によって位置決めして、ヒューズ素子 31 となる部分の多結晶シリコンヒューズ 701 にレーザビームを照射した場合には、レーザビームが正確に多結晶シリコンヒューズ 701 に当たり、位置ずれを起さないようにできる。

【0013】次に、図 1 (d) に示すように、MOS 型トランジスタ領域 810 にイオン注入法などでソース領域 803 及びドレイン領域 804 を形成した後、NSG 膜や PSG 膜または BPSG 膜などからなる第 2 の絶縁膜 104 を形成する。次に図 1 (e) に示すように、第 2 の絶縁膜 104 の所定の部分をエッチング除去する。この時、レーザトリミング位置決め用パターン 204 になる部分では、第 2 の絶縁膜 104 を除去する。また MOS 型トランジスタ領域 810 及びヒューズ素子 31 となる部分では、コンタクト領域 805 のみを開口する。その後、アルミニウム膜 105 をスパッタリング法などで形成した後、MOS 型トランジスタ領域 810 及びヒューズ素子 31 となる部分では、配線用などの所望の部分を残してエッチング除去する。一方、レーザトリミング位置決め用パターン 204 になる部分はアルミニウム膜 105 を残すようにする。

【0014】次に、図 1 (f) に示すようにシリコン窒化膜などの保護膜 901 を全面に形成した後、所望の領域を残してエッチング除去する。この時、MOS 型トランジスタ領域 810 では保護膜 901 は残すようにし、ヒューズ素子 31 となる部分では、レーザビームを照射する領域のみを開口するようにして残りの部分をカバーするように保護膜 901 を残す。また、レーザトリミング位置決め用パターン 204 になる部分は保護膜 901 を除去する。

【0015】以上により、MOS 型トランジスタ領域 810 と、多結晶シリコンヒューズ 701 を有するヒューズ素子 31 と、高光反射率領域 106 に囲まれた低光反射率領域 107 を有するレーザトリミング位置決め用パターン 204 が完成する。上記の実施例の説明では、図 1 (a) において、レーザトリミング位置決め用パターン 204 になる部分にも第 1 の絶縁膜 102 を形成したが、必ずしも必要では無いので、場合によっては形成しなくともよい。また、図 1 (e) において、レーザトリミング位置決め用パターン 204 になる部分では、第 2 の絶縁膜 104 を除去すると述べたが、工程能力の問題などから、第 2 の絶縁膜 104 を除去する際に、第 1 の絶縁膜 102 も除去されてしまい、多結晶シリコンドット 601 の形状が崩れてしまうなどの不都合が生じる時は、第 2 の絶縁膜 104 を除去せずに残しておいてもよ

い。

【0016】また、図 1 (f) において、レーザトリミング位置決め用パターン 204 になる部分は保護膜 901 を除去すると述べたが、低光反射率領域 107 における乱反射をさらに増大させる目的で、故意に保護膜 901 を残すのも良い。この時、保護膜 901 は光透過可能な絶縁膜であって、高光反射率領域 106 の光反射率を低下させることのない絶縁膜であることが条件となる。

【0017】また、上記例では、レーザトリミング位置決め用パターン 204 内では、多結晶シリコン薄膜 103 をドット状に加工して、多結晶シリコンドット 601 を形成しているが、これに代えて、多結晶シリコン薄膜 103 をストライプ状や格子状に加工したパターンを用いても良い。次に、上記実施例による製造方法により形成された半導体装置について説明する。

【0018】図 2 (a)、は上記実施例による製造方法により形成された第一の実施例のレーザトリミング位置決め用パターンの平面図、図 2 (b) は、本発明の半導体装置の第一の実施例によるレーザトリミング位置決め用パターンの断面図、図 2 (c) は、本発明の半導体装置の第一の実施例によるレーザトリミング位置決め用パターンに光ビームを走査した場合の光反射量の変化を示す図である。光反射量は、図 2 (a) の A-A' 線方向に沿って走査した場合の値である。本発明の実施例によるレーザトリミング位置決めパターン 401 は、図 1 (a) に示すように、スクライプライン 203 の交点上に設けられており、半導体ウエハの回転方向に対する比較的荒い位置合せを行なうためのいわゆるシータマークの機能と、繰り返し配置された半導体集積回路 201 一つ一つに対して正確な位置合せを行なうための X 方向トリミングマーク及び Y 方向トリミングマークの機能とを併せ持つ連続した構造になっている。レーザトリミング位置決めパターン 401 の形状は画像認識を自動で行なうことが出来るように、半導体集積回路 201 内のパッド領域 202 等と異なる特徴的な形であることが望まれるため、図 2 (a) の例では十字型の形とした。

【0019】次に図 2 (b) を用いて本発明の実施例によるレーザトリミング位置決めパターン 401 の断面構造を説明する。シリコン基板 101 上にシリコン酸化膜等からなる第一の絶縁膜 102 が形成されており、第一の絶縁膜 102 上に、多結晶シリコンドット 601 が形成されている。多結晶シリコンドット 601 が形成されない領域は、平坦な第一の絶縁膜 102 が露出している。この上に、アルミニウム膜 105 が形成されている。多結晶シリコンドット 601 の形成されている領域の上方に位置するアルミニウム膜 105 の表面は、多結晶シリコンドット 601 パタンの影響によって、凸凹になっており、この部分に照射された光は乱反射する。従って、この領域を低光反射率領域 107 とすることがができる。一方、多結晶シリコンドット 601 の形成されて

7

いない領域上のアルミニウム膜 105 の表面は平坦であり、高光反射率領域 106 とすることができる。

【0020】光ビームを図 2(a) の A-A' 線方向に沿って走査した場合の光反射量は、図 2(c) に示すように、平坦な表面を有するアルミニウム膜 105 で形成される高光反射率領域 106 においては大きく、凸凹な表面を有するアルミニウム膜 105 で形成される低光反射率領域 107 においては小さくなる。図 2(a)、(b) および (c) の例においては、光の乱反射作用を利用して低光反射率領域 107 を形成した。光の乱反射を起こすために、ヒューズ素子と同一薄膜である多結晶シリコン薄膜 103 により多結晶シリコンドット 601 パターンを形成した。ドット状以外の、格子状やストライプ状などのパターンでも光の乱反射を起こすことは可能であり、図 2(c) のような光反射パターンが得られる。

【0021】先にも述べたが、場合によっては、図 2(b) における第一の絶縁膜 102 や多第二の絶縁膜などを形成してもよい。また、アルミニウム膜 105 に代えて、高光反射率膜としてタングステン、クロム、金などの金属材料を用いても良い。以上述べたように、高光反射率領域 106 と低光反射率領域 107 との境界は、ヒューズ素子と同一の薄膜材料である多結晶シリコン薄膜 103 により作られた多結晶シリコンドット 601 パターンによって決められるため、従来の位置決めパターンの課題であった、ヒューズ素子を形成する多結晶シリコンと、位置決めパターンを形成するアルミニウム膜との合わせずれによる問題から解放することができる。

【0022】また、レーザトリミング位置決め用パターン 204 は、スクライブライン 203 の交点に配置し、半導体ウエハの回転方向に対する比較的荒い位置合せを行なうためのいわゆるシータマークの機能と、繰り返し配置された半導体集積回路一つ一つに対して X、Y 方向の正確な位置合せを行なうためのトリミングマークの機能とを兼用できる連続した構造にしたのでスクライブライン領域に占めるレーザトリミング位置決め用パターンの面積を小さくすることができる。

【0023】図 5(a) は、本発明の半導体装置の製造方法による第二の実施例のレーザトリミング位置決め用パターンの平面図、図 5(b) は、本発明の半導体装置の第二の実施例による位置決め用パターンの断面図、図 5(c) は、本発明の半導体装置の第二の実施例による位置決め用パターンに光ビームを走査した場合の光反射量の変化を示す図である。光反射量は、図 5(a) の B-B' 線方向に沿って走査した場合の値である。

【0024】本発明の第二の実施例におけるレーザトリミング位置決めパターン 204 は、図 2(a) から (c) に示した第一の実施例と同様に、スクライブライン 203 の交点に配置されている。第一の実施例と異なる点は、高光反射率領域 106 が低反射率領域 107 に挟まれた構造をとっている点と、レーザトリミング位置決

8

めパターン 204 の形が図 2 の例では十字型であったのに対してカギ型になっている点である。

【0025】レーザトリミング位置決め用パターンとしては、高光反射率領域 106 と低光反射率領域 107 のどちらかが、もう一方の領域に挟まれた形をとっていれば良く、図 5(a) から (c) に示した第二の実施例は、図 2(a) から (c) に示した第一の実施例の反対の配置をした場合を示すものであり、このような構成をとっても良いことを示すものである。また、レーザトリミング位置決め用パターン 204 の形状は、画像認識を自動で行なうことが出来るように、半導体集積回路 201 内のパッド領域 202 等と異なる特徴的な形であれば良く、図 5(a) の例ではカギ型の形としたが、図 2(a) や図 3(a) に示した形に限るものではない。

【0026】その他の説明については、図 2(a) から (c) と同一の符号を附記することで説明に代える。図 6 は、本発明の半導体装置の位置決め用パターンを用いてレーザトリミングしたヒューズ素子の平面図である。ヒューズ素子 31 の中心にレーザスポット 32 が照射することが可能になる。

【0027】本発明の半導体装置は、バラツキの大きな半導体素子から成る半導体集積回路に非常に適している。例えば、図 7 は、高耐圧の MOS トランジスタから構成される電圧検出用 IC のブロック図である。MOS IC は、バイポーラ IC に比べアナログ特性のバラツキが大きい。特に、高耐圧特性の場合、ゲート絶縁膜を厚くするために、ますます、アナログ特性のバラツキが大きくなる。従って、アナログ MOS IC の場合、図 7 のように大きなヒューズ素子領域を必要とする。10 個以上のヒューズ素子を設けることによりバラツキの小さいアナログ特性を得ることができる。

【0028】本発明の位置決め用パターンを用いることにより、ヒューズ素子を小さくすることができる。さらに、ヒューズ素子平面的に方向を異ならせて、2ヶ所に配置することも可能になる。また、本発明は、アナログ MOS IC に適しているが、ディジタル IC に用いることも可能である。また、非常にバラツキの小さな、高密度のアナログバイポーラ IC の実現にも適している。

【0029】図 1、図 2、及び図 5 で示した実施例では、レーザトリミング用のヒューズ素子を多結晶シリコン薄膜で形成した場合について説明したが、本発明は多結晶シリコン薄膜に限定するものではなく、レーザトリミング用のヒューズ素子を形成する薄膜と同一の薄膜を用いて光の乱反射をおこさせるようなドット状、ストライプ状、あるいは格子状等のパターンをアルミニウム膜 105 のような高光反射率膜の下方に配置して低光反射率領域 107 を形成すれば良い。

【0030】図 1、図 2 及び図 5 における第一の絶縁膜 102 は必ずしも必要ではないので、場合によっては削

除してもよい。また、アルミニウム膜 105 に代えて、高光反射率膜としてタングステン、クロム、金などの金属材料を用いても良い。

【0031】

【発明の効果】本発明によるレーザトリミング位置決め用パターン製造方法によって、通常の半導体集積回路製造工程を増加させることなく、高光反射率領域と低光反射率領域との境界、すなわち光反射率が急峻に変化する場所をレーザトリミング用ヒューズ素子と同じ薄膜により形成されたパタンによって規定できるレーザトリミング位置決め用パターンを形成することができる。これにより以下の効果を有する。

- (1) ヒューズ素子を安定して切断することが可能となる。
- (2) 複数ヒューズ素子を必要とする IC において、ヒューズ素子領域を小面積で形成できる。
- (3) 複数ヒューズ素子を必要とする IC において、ヒューズ素子領域を 2ヶ所以上方向を異ならせて設計することが可能である。

【0032】また、本発明によるレーザトリミング位置決め用パターンは、スクライブラインの交点に配置し、半導体ウエハの回転方向に対する比較的荒い位置合せを行なうためのいわゆるシータマークの機能と、繰り返し配置された半導体集積回路一つ一つに対して正確な位置合せを行なうためのトリミングマークの機能とを兼用できる連続した構造としたので、スクライブライン上に占めるレーザトリミング位置決め用パターンの面積を小さくすることができる。これによって以下の効果を有する。

(4) 半導体集積回路の切り出し（ダイシング工程）において、ダイシング用の刃を傷めにくくなりスループットが向上する。さらに、半導体集積回路に損傷を与える危険性も低減する。

(5) 半導体集積回路形成工程（いわゆる前工程）において使用する、テスト用パタンやパタン合せ用のマーク等を挿入できる領域が広がり、十分な工程管理ができるようになる。

【図面の簡単な説明】

【図 1】図 1 (a) から図 1 (f) は、本発明の半導体装置の製造方法を示す模式的断面図である。

【図 2】図 2 (a) は、本発明の半導体装置の第一の実施例の位置決め用パターンの平面図であり、図 2 (b) は、本発明の半導体装置の第一の実施例の位置決め用パターンの断面図であり、図 2 (c) は図 1 (a) の A-A' 線に沿った光反射量を示す図である。

【図 3】図 3 (a) は、従来の半導体装置の位置決め用パターンの平面図であり、図 3 (b) は、従来の半導体装置の位置決め用パターンの断面図であり、図 3 (c) は、図 2 (a) の C-C' 線に沿った光反射量を示す図である。

【図 4】図 4 は、従来の半導体装置のヒューズ素子の平面図である。

【図 5】図 5 (a) は、本発明の半導体装置の第二の実施例の位置決め用パターンの平面図であり、図 5 (b) は、本発明の半導体装置の第二の実施例の位置決め用パターンの断面図であり、図 5 (c) は図 3 (a) の B-B' 線に沿った光反射量を示す図である。

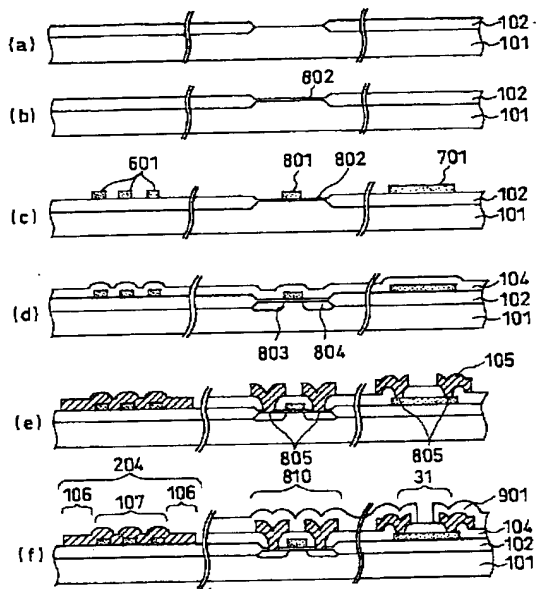
【図 6】図 6 は、本発明の半導体装置のヒューズ素子の平面図である。

【図 7】図 7 は、本発明の半導体装置のブロック図である。

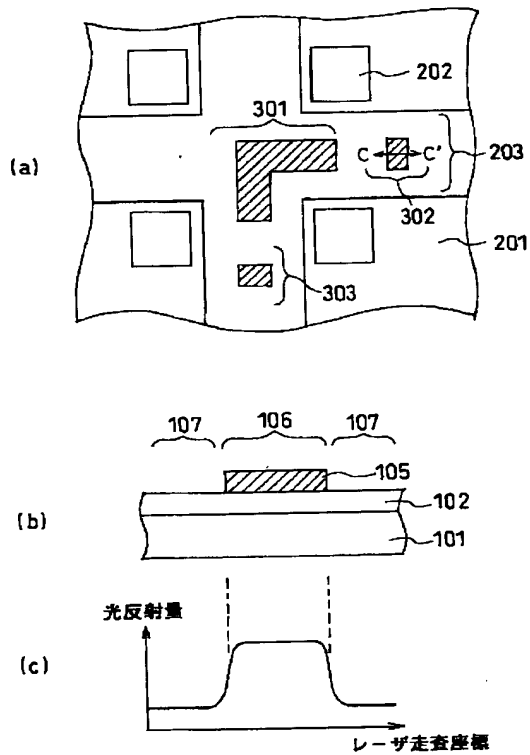
【符号の説明】

31	ヒューズ素子
32	レーザ照射スポット領域
33	下地の焦げを起こす領域
34	ヒューズカット残りになる部分
101	シリコン基板
102	第一の絶縁膜
103	多結晶シリコン薄膜
104	第二の絶縁膜
105	アルミニウム膜
106	高光反射率領域
107	低光反射率領域
201	半導体集積回路
202	パッド領域
203	スクライブライン領域
204	レーザトリミング位置決め用パターン
301	シータマーク
302	X方向トリミングマーク
303	Y方向トリミングマーク
601	多結晶シリコンドット
701	多結晶シリコンヒューズ
801	ゲート電極
802	ゲート酸化膜
803	ソース領域
804	ドレイン領域
805	コンタクト領域
810	MOS型トランジスタ領域
901	保護膜

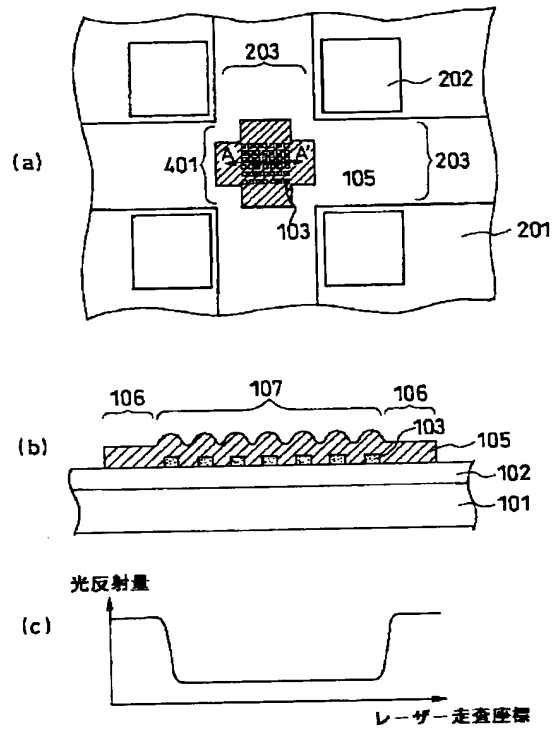
【図 1】



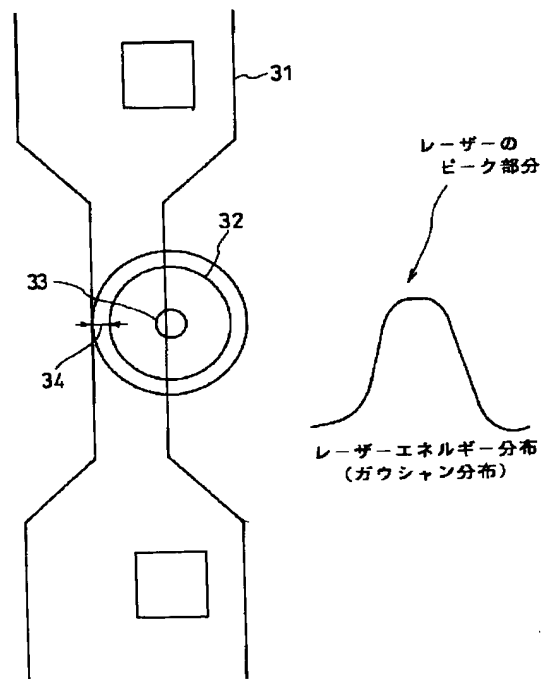
【図 3】



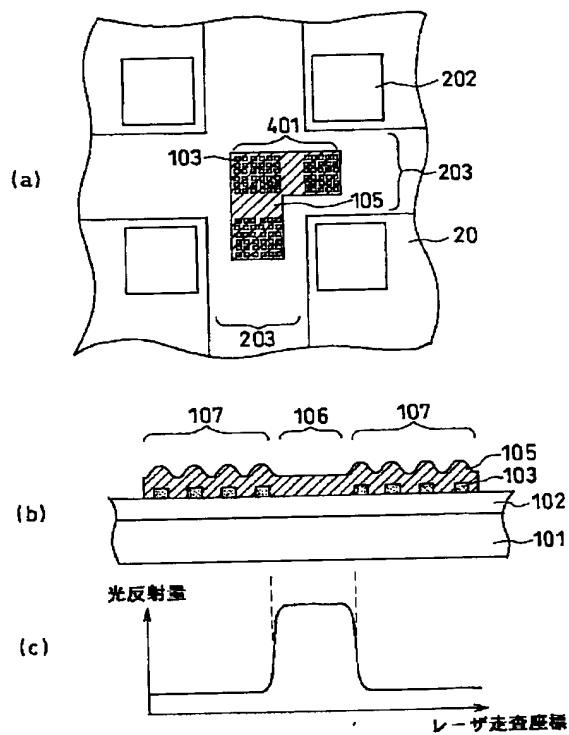
【図 2】



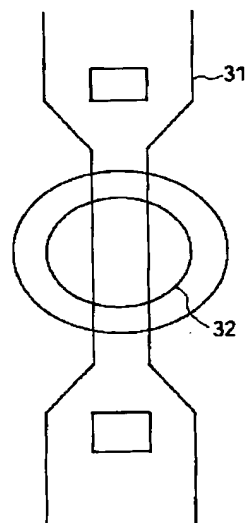
【図 4】



【図 5】



【図 6】



【図 7】

